

第 1 章

了解 RISC-V

过去的 20 年,ARM 在移动和嵌入式领域应用成果丰硕,而在物联网(Internet of Things, IoT)领域也正逐渐确定其市场地位。一些其他商用架构(如 MIPS 和 PowerPC)处理器逐渐消亡。ARM 正在进军 Intel 所在的 x86 市场,并给传统 PC 和服务器领域造成一定的压力。RISC-V 开源指令集的出现,引起了产业界的广泛关注。科技巨头都很看重指令集架构(CPU ISA)的开放性,各大公司正在积极寻找 ARM 之外的第二选择,而 RISC-V 就成为理想的选择。全球范围内的大学陆续在教材中使用 RISC-V 替代以前的 MIPS 和 x86 架构,政府和企业逐步将 RISC-V 作为标准指令集,开源的 CPU 核和 SoC 芯片不断涌现,生态环境逐渐丰富,开发者社区越来越活跃。在错综复杂的国际政治经济环境的大背景下,芯片成为中国科技的新制高点。CPU“自主可控”与“普世通用”存在天然的矛盾,RISC-V 开源指令集架构帮助人们化解了这一矛盾。

1.1 RISC-V 指令架构的演进历史

CPU 支持的所有指令和指令的字节级编码就是这个 CPU 的指令集架构(Instruction Set Architecture, ISA),指令集在计算机软件和硬件之间搭起了一座桥梁。不同的 CPU 家族,例如:x86、PowerPC 和 ARM,都有不同的 ISA。RISC-V ISA 开源,更确切地讲是它的指令集规范和标准开源。

RISC-V 起源于加州大学伯克利分校。在 2010 年夏季,Krste Asanovic 教授带领他的两个学生 Andrew Waterman 和 Yunsup Lee 启动了一个 3 个月的项目,目标是针对 x86 和 ARM 指令集架构复杂和需要 IP 授权的问题,开发一个简化和开放的指令集架构。

RISC-V 基金会创建于 2015 年,是一家非盈利组织。基金会董事会由 Bluespec、Google、Microsemi、NVIDIA、NXP、UC Berkeley、Western Digital 七家单位组成,目

前的主席是 Krste Asanovi 教授。基金会为核心芯片架构制定标准和建立生态,标准公开免费下载。基金会旗下有超过 400 家付费成员,包括高通、NXP、阿里巴巴和华为等。RISC-V 基金会成员可以使用 RISC-V 商标。RISC-V 指令集架构采用开源 BSD 授权,任何企业、高校和个人都可以遵循 RISC-V 架构指南设计自己的 CPU。

秉承开放、中立的宗旨,RISC-V 基金会总部从美国迁往瑞士,并于 2020 年 3 月完成在瑞士的注册,更名为 RISC-V 国际基金会(RISC-V International Association)。近日,基金会 CEO Calista Redmond 撰文 *RISC-V Catalyst for Change* RISC-V,文章指出,RISC-V 标准是免费和开放的,没有任何一个实体可以控制 RISC-V 技术。企业、学术界和机构都可以自由地在 RISC-V 指令集架构上进行创新,共同推动计算前沿技术的迅速发展。

1.2 RISC-V 处理器家族

RISC-V 处理器家族有许多成员,其核心成员是 RISC-V 处理器核心(CPU Core,简称核)、SoC 平台和 SoC 芯片这三大类产品和技術。目前可以提供这三类产品和技術的企业、高校和研究机构有 200 余家,此外围绕这些 RISC-V 核心技术提供软件、工具和生态服务的企业和研究机构也有 100 余家。在讨论三大类 RISC-V 产品和技術之前我们有必要对 RISC-V 指令集有一个简单的了解。

RISC-V 指令集是模块化组织结构,每个模块使用一个英文字母来表示。I 字母表示整数指令集,它是 RISC-V 最基本并唯一强制要求实现的指令集。其他的指令集部分均为可选的模块,其代表性的模块包括 M/A/F/D/C,比如某款 RISC-V 处理器内核是 RV32IMAC,即代表实现了 I/M/A/C 指令集。

RISC-V 指令集在不断发展变化,32I 和 64I 已经冻结,M/A/F/D/Q/C 指令扩展也冻结了,指令集如 32E,128I, LBJTPV 和 Zam 原子访问扩展还在开发中,指令集扩展是 RISC-V 技术的特色之一。

1.2.1 RISC-V 处理器内核

自 RISC-V 架构诞生以来,市场上已有数十个版本的 RISC-V 内核和 SoC 芯片,它们中的一部分是开源免费的,而商业公司开发的 RISC-V 处理器内核和平台是需要商业授权的。某些商业公司开发用于内部使用的 RISC-V 核,但也可以开源运作。西部数据的 SweRV 架构(RV32IMC)是 RISC-V 内核处理器的典型代表,它是一个 32 bit 顺序执行指令架构,具有双向超标量设计和 9 级流水线,采用 28 nm 工艺技术实现,运行频率高达 1.8 GHz,可提供 4.9 CoreMark/MHz 的性能,略高于 ARM 的 Cortex A15,已经在西部数据的 SSD 和 HDD 控制器上使用,SweRV 项目是一个开源项目(Chip Alliance)。

典型的开源 RISC-V 内核有 Rocket Core,它是加州大学伯克利分校开发的一个

经典的 RV64 设计。伯克利分校还开发了一个 BOOM Core,它与 Rocket Core 不同的是面向更高的性能。苏黎世理工大学(ETH Zurich)开发的 Zero-riscy,是经典的 RV32 设计。苏黎世理工大学还开发了另外一款 RISC-V R15CY Core,可配置成 RV32E,面向的是超低功耗、超小芯片面积的应用场景。由 Clifford Wolf 开发的 RISC-V Core-Pico RV32,其内核重点在于追求面积和 CPU 频率的优化。

开源的 RISC-V 内核非常适用于研究和教学,但用于商业芯片设计则还有许多工作要做。SiFive(美国赛昉科技)由 Yunsup Lee 创立,他也是 RISC-V 的创始人之一。2017 年 SiFive 公司发布首个 RISC-V 内核、SoC 平台家族,以及相关支持软件和开发板。在这些芯片中,包括采用 28 nm 制造技术,支持 Linux 操作系统的 64 位多核 CPU U500,以及采用 180 nm 制造技术的多外设低成本 IoT 处理器内核 E300。开发 RISC-V 处理器内核的厂商还包括 Codaip、Syntacore、T-Head(平头哥半导体)、Andes(晶芯科技),以及创业公司芯来科技等。

1.2.2 RISC-V SoC 平台

知名的 RISC-V 处理器 SoC 平台有 PULPino、LowRISC 以及 Rocket Chip 开源项目。Rocket Chip 是加州大学伯克利分校基于 Chisel 语言开发的开源 SoC 生成器。芯来科技胡振波发起的“蜂鸟”E200 开源项目,是国内知名度非常高的开源软核 32 位 SoC 平台之一,如图 1.1 所示。

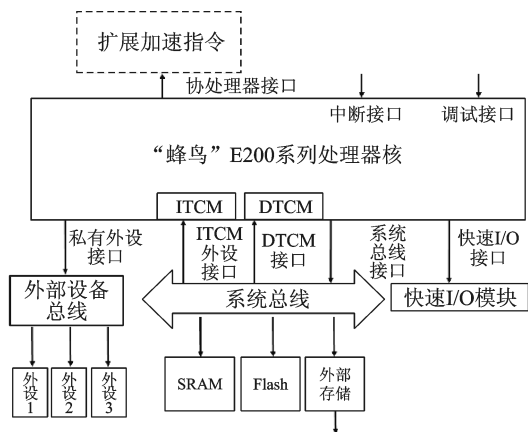


图 1.1 “蜂鸟”E200 RISC-V 处理器

在 64 位 SoC 平台方面,平头哥半导体发展很快,先后推出了玄铁 C906 单核和玄铁 C910 多核高性能 64 位 RISC-V 处理器。C910 采用 12 级超标量流水线,在算术运算、内存访问以及多核同步等方面进行了增强,标配内存管理单元,可运行 Linux 操作系统;采用 3 发射、8 执行的深度乱序执行架构,有单/双精度浮点引擎,可进一步选配面向 AI 加速的向量计算引擎,适用于 5G、人工智能等对性能要求很高的

应用领域。平头哥最近成功移植了 Android 10 (AOSP)，并在其一个 3 核 C910 平台 ICE EVB SoC 板运行。ICE SoC 的结构如图 1.2 所示。

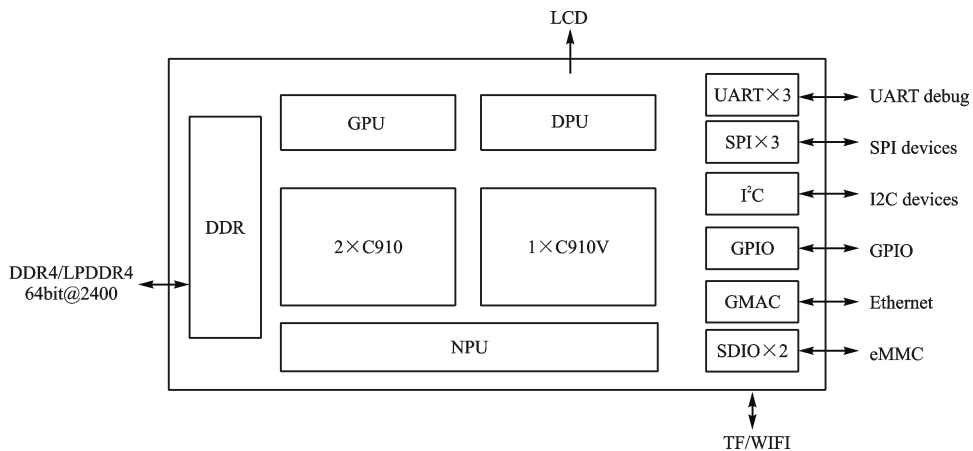


图 1.2 ICE SoC 芯片结构示意图

1.2.3 RISC-V SoC 芯片

RISC-V 处理器 SoC 芯片近年发展迅速，知名度较高的、通用性 SoC 芯片有兆易创新开发的 GD32VF103 MCU 芯片，该芯片基于芯来 BumbleBee 内核 (RV32IMAC)。GD32VF103 系列提供了 108 MHz 的运算主频，16~128 KB 的片上闪存和 6~32 KB 的 SRAM，支持各种标准的 MCU 外设和封装形式。市场上有多款基于 GD32VF103 的开发板，例如图 1.3 所示的 RV-START 开发板。

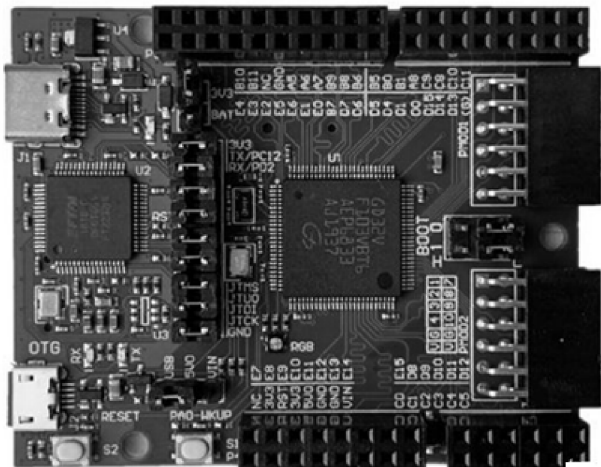


图 1.3 芯来科技的 RISC-V 开发板

嘉楠科技 K210 是一个 AIoT SoC 芯片。K210 包含 RISC-V 64 位双核 CPU，采用 RV64 GC Core，包含 M/A/F/D ISA 指令集标准扩展。此外，K210 还包含 KPU 通用神经网络处理器，内置卷积运算单元，可以对人脸或物体进行实时检测。K210 的 FFT 加速器也是用硬件的方式来实现的。K210 开发板很多，图 1.4 是 Sipeed MAix BiT Kit for RISC-V AI+IoT 开发套件。

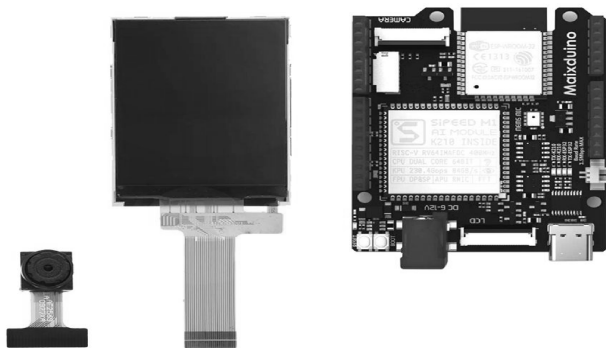


图 1.4 Sipeed MAix BiT 开发套件

NXP RV32M1 集成了 4 个核：RISC-V RI5CY 核、RISC-V ZERO - RISCY 核、ARM Cortex-M4 核和 ARM Cortex-M0+ 核。从专业视角看，RV32M1 更像是工程实验样品，供开发者评估使用，为此 NXP 创建 <https://open-isa.org/社区>，维护工具链和软件生态，为开发者学习 RISC-V 嵌入式开发提供了便利，在早期市场培育期发挥重要的作用。

GreenWaves 是法国半导体初创公司，于 2018 年推出 GAP8 处理器，它是业界首款在 IoT 应用中实现电池长期供电的 AI 超低功耗处理器，可以在传感设备中进行低功率 AI 处理。其芯片基于 RISC-V 指令集架构和 PULP 的可编程并行计算平台，以应对机器学习算法最新技术的快速发展。GAP8 作为一款边缘处理器，包含了 1+8 个 RISC-V 处理器内核，采用台积电 55 nm 工艺制程，主频 250 MHz。GAP8 集成了卷积神经网络(CNN)推理，经过优化后可以执行图像和音频算法，能够捕捉、分析、分类并处理大量融合数据源，如图像、声音或振动。

Microchip PolarFire SoC 芯片是一款低成本、多核 RISC-V SoC FPGA，包含了 4 个 64 bit RV64GC RISC-V 应用核，可运行 Linux。其中，一个单核 RV64IMAC 承担实时和监控任务。这是一款适合工业控制和物联网应用的开发平台。

1.3 RISC-V 嵌入式软件生态

上一节我们讨论了 RISC-V 处理器核、平台和芯片。很明显，嵌入式与物联网以